

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-088546

(43)Date of publication of application : 06.05.1986

(51)Int Cl.

H01L 25/04

(21)Application number : 59-209235

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.10.1984

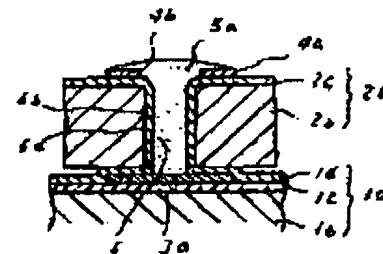
(72)Inventor : KOBAYASHI MASANORI  
WADA KUNIIHIKO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE.** To relax the limitation of a connection, and to improve area efficiency by boring a through-hole to a semiconductor chip positioned at an upper section, flowing solder into the through-hole and mutually connecting two semiconductor chips each having circuits and the pads through insulating films on surface layer sections when the chips are superposed and chip-on-chip structure is formed.

**CONSTITUTION:** An insulating film 1c is applied onto the surface of a semiconductor substrate 16 to which a circuit is formed, a connecting pad 3a is shaped onto the film 1c, and the pad 3a is surrounded by an insulating film 1d while being connected to the predetermined section of the circuit, thus forming a first semiconductor chip 1a. A second semiconductor chip 2a stacked onto the chip 1a is also constituted by a connecting pad 4a through a semiconductor substrate 2b and an insulating film 2c, but an opening 4b penetrating the pad 4a and a through-hole 6 penetrating the substrate 2b are bored to the chip 2a when the chips 1a and 2a are superposed. A lower hole 6a is also bored to the film 1d exposed into the hole 6, the side wall of the hole 6 is coated with an insulating film 6b, solder 5a is flowed into the hole 6, and the two pads 6 and 4a are connected with each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-88546

⑫ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月6日

H 01 L 25/04

7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭59-209235

⑯ 出 願 昭59(1984)10月5日

⑰ 発 明 者 小 林 正 典 川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 発 明 者 和 田 邦 彦 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 松岡 宏四郎

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

一主面に第一の回路を有する第一の半導体チップの該主面上に、該第一の半導体チップに対向しない一主面に第二の回路を有する第二の半導体チップが配設され、該第一の回路の接続パッドと該第二の回路の接続パッドとが、該第二のチップに形成され内面に絶縁膜を備えた貫通孔を通して導体により接続されてなることを特徴とする半導体装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体チップの上に半導体チップを搭載してなるチップ・オン・チップ (Chip On Chip) の半導体装置に係り、特に、両チップ間の回路接続構造に関する。

大規模集積回路 (LSI) の高機能化、高集積化により、近年各種集積回路の回路を同一LSI内に構成す

る場合が多くなってきた。例えばCMOSとTTL、またはアナログとCMOSのデジタルなどの構成を有するLSIの要求に対し、同一チップ内に構成することは製造工程上困難である。無理をして強行しても歩留りの点で極めて不利である。

従って、回路機能別に独立のチップを用いれば、それぞれに最適なプロセスが適用出来、各機能毎の特徴が生かせることになり、そのため2チップからなる所謂チップ・オン・チップのLSIが採用されるようになった。

一方、チップの大きさをウェーハレベルまで拡大し、従来複数のLSIで構成されていた回路を1LSIに構成する提案も出て来ているが、この際にもチップ・オン・チップが検討の対象となる。

これらのチップ・オン・チップにおいて、二つのチップ間の回路接続が必須事項であり、特に該チップが大型になる場合には、該接続部の位置に関する制約の少ないことが望まれる。

(従来の技術と発明が解決しようとする問題点)

第2図(A-1)と(A-2)は従来のチップ・オン

## 特開昭61- 88546 (2)

チップの接続を示した平面図と側断面図である。

同図において、1は上面に図示されない第一の回路を有する第一の半導体チップ、2は上面に図示されない第二の回路を有しチップ1の上に搭載される第二の半導体チップ、3、4は第一と第二の回路とを接続するためそれぞれチップ1、2上において第一、第二の回路に設けられた接続パッド、5は接続パッド3と4とをボンディングにより接続する接続ワイヤである。

この構成のチップ・オン・チップの接続においては、一般に、接続パッド4はチップ2の周辺部に配置され、これとワイヤボンディングにより接続出来るよう、接続パッド3はチップ2の外周部に配置されている。

このことは、接続パッド3ないし4の位置を制約することになり、特にチップ2が大型になる場合、該チップ内での配線引回しが多くなって面積効率が低下し、然も、チップ1を常にチップ2より大きくせねばならない問題がある。

(問題を解決するための手段)

なお、前記基板は、前記絶縁膜により該第二のチップの当該接続パッド以外の部分と絶縁されるので、該第二のチップの内部を通して問題ない。

(実施例)

以下本発明の一実施例を図により説明する。全図を通じて同一符号は同一対象物を示す。

第1図(A-1)と(A-2)は本発明による Chip on Chip の接続を示した平面図と側断面図、第1図(B)はその接続部の拡大側断面図である。

第1図(A-1)、(A-2)のそれぞれは、従来の接続を示した第2図(A-1)、(A-2)に対応する図である。即ち、1aはチップ1に対応する第一の半導体チップ、2aはチップ2に対応する第二の半導体チップ、3a、4aはそれぞれ接続パッド3、4に対応する接続パッドで、5aは従来の接続ワイヤ5の代わりをする接続導体である。

接続パッド3aと接続パッド4aは、チップ2aをチップ1a上に搭載した際に互いに接続するパッド同士が上下方向で一線するように配設されており、チップ2aに形成されている貫通孔6を通して接続

上記問題点は、一玉面に第一の回路を有する第一の半導体チップの該玉面上に、該第一の半導体チップに對向しない一玉面に第二の回路を有する第二の半導体チップが配設され、該第一の回路の接続パッドと該第二の回路の接続パッドとが、該第二のチップに形成され内面に絶縁膜を偏した貫通孔を通して導体により接続されてなる本発明の半導体装置によって解決される。

(作用)

上記構成によれば、従来のワイヤボンディングが除去されるので、互いに接続される前記第一と第二の回路の接続パッドは、該第二のチップの周辺部に配置されなくともその位置が各チップの前記玉面上において一致していればよいので、接続パッドの位置に関する制約が従来より減少する。

このことから、特に該第二のチップが大型である場合、その内での配線引回しを低減させて面積効率を上げることが可能になり、然も該第一のチップを該第二のチップより大きくする必要も無くなる。

導体5aで接続されている。

この接続部の詳細は第1図(B)の如くである。

チップ1aにおける図示されない第一の回路に設けられた接続パッド3aは、例えばアルミニウム(Al)上にタタン(Ti)などのバリアメタルが被覆されており、半導体基板1bの上にある絶縁膜1c上に形成されて、チップ2aとの間を絶縁する絶縁膜1dに周辺部が覆われている。

チップ2aは、接続パッド3aの露出部に対応する位置に貫通孔6が形成され、図示されない第二の回路に設けられた接続パッド4aは、接続パッド3aと同様に例えばAl上にTiなどのバリアメタルが被覆されており、貫通孔6部に開孔4bを設けて半導体基板2bの上にある絶縁膜2c上に形成されている。

貫通孔6は、基板2bに予め明けられた下孔6aと下孔6aの内面に被覆された絶縁膜6bとからなり、その内径は凡そφ50～100μmである。下孔6aは、例えばレーザ光照射またはエッチングなどの方法によって形成可能である。絶縁膜6bは、絶縁膜2cと同じく例えば窒素酸化カラス(PSC)または二酸化

## 特開昭61- 88546 (3)

シリコン (SiO<sub>2</sub>) などからなり、厚さか凡そ1μm程度で、例えばCVD法により絶縁膜2cと一緒に形成されたものである。

接線導体5aは、例えばばんだからなり、チップ1a上にチップ2aを置いた後、ばんだのブリフォームを貫通孔6上に敷せ加熱して貫通孔6内に流入させ、接線パッド3aと接線パッド4aとを接続させたものである。ばんだは前記バリヤメタルに良く馴染むので、両パッド間の接続は確実なものである。

かくして、チップ1aとチップ2aとの間の回路接続が形成される。

## 〔発明の効果〕

以上説明したように、本発明の構成によれば、チップ・オン・チップの半導体装置における両チップ間の回路接続部の位置に関する制約を従来より減少させることが出来て、特に上側チップが大型である場合、その内での配線引き回しを低減させて面積効率を上げることが可能になり、然も下側チップを上側チップより大きくする必要も無くなる

る効果がある。

## 4. 図面の簡単な説明

図面において、

第1図(A-1)と(A-2)は本発明によるチップ・オン・チップの接続を示した平面図と側断面図、

第1図(B)はその接続部の拡大側断面図、

第2図(A-1)と(A-2)は従来のチップ・オン・チップの接続を示した平面図と側断面図である。

図中において、

1、1a、2、2aは

半導体チップ、1b、2bは基板、

1c、1d、2cは絶縁膜、3、3a、4、4aは

接線パッド、

4bは4aの開孔、

5aは接線導体、

6aは6の下孔、

をそれぞれ示す。

5は接線ワイヤ、

6は貫通孔、

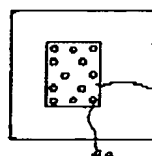
6bは6の絶縁膜、

代理人 井原士 松岡定四郎

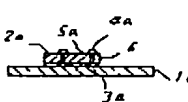


第1図

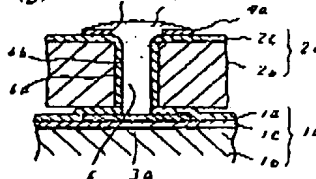
(A-1)



(A-2)

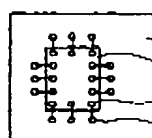


(B)



第2図

(A-1)



(A-2)

